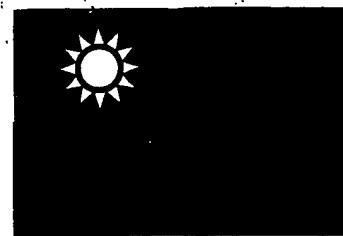


JCL#6875

09/990,160



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2001 年 01 月 17 日
Application Date

申 請 案 號：090101004
Application No.

申 請 人：矽品精密工業股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT 局長
Director General

陳 明 邦

發文日期：西元 2001 年 11 月 30 日
Issue Date

發文字號：09011018522
Serial No.

2800 MAIL ROOM
FEB 28 2002
KLT

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	晶片直接貼附記憶體模組及其製程
	英 文	
二、發明人 創作	姓 名	1 何宗達 2 吳集銓
	國 籍	中華民國
	住、居所	1 台中市北屯路 226 巷 41 弄 16 號 2 台中市平德路 82 巷 33 弄 1 號
三、申請人	姓 名 (名稱)	矽品精密工業股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台中縣潭子鄉大豐路 3 段 123 號
代表人 姓 名	林文伯	

裝訂線

四、中文發明摘要（發明之名稱： 晶片直接貼附記憶體模組及其製程)

一種晶片直接貼附記憶體模組，其包括：一基板、至少一晶片組、一封裝材料。其中晶片組貼附於基板上並直接與基板電性連接，其中晶片組由並排之多個晶片所構成，且晶片之間具有多條電路將晶片彼此電性連接。而封裝材料至少包覆晶片組與基板電性連接的部分。

(請先閱讀背面之注意事項再填寫本頁各欄)

— 裝 — — — 訂 — — 線

英文發明摘要（發明之名稱：)

五、發明說明(一)

本發明是有關於一種晶片直接貼附於記憶體模組之結構及其製程，且特別是有關於一種簡化製程、降低記憶體整體封裝體積，以及減少作業時間及成本之晶片直接貼附於記憶體模組之結構及其製程。

在現今資訊爆炸的世界，積體電路已與日常生活有密不可分的關係，隨著電子科技的不斷演進，各種電子產品皆朝向輕、薄、短、小的趨勢設計，以提供更便利舒適的使用。然而在記憶體晶片的設計上，可以使一極小的區域儲存著極高的資訊量，並且在記憶密度大幅提高的同時，就記憶體晶片的封裝趨勢而言，係朝向密度更高的封裝結構研發。直接晶片貼附(Direct Chip Attach, DCA)的技術，亦即將記憶體晶片直接貼附在記憶體模組基板上，再以打導線(Wire Bonding)或覆晶(Flip Chip)的方式將記憶體晶片與記憶體模組基板直接電性連接，如此不但可以免除晶片封裝的複雜製程，亦可以縮減記憶體晶片與記憶體模組基板間電性連接之距離，並縮減整體體積，因而大幅提高記憶體的性能。

請參照第1圖，其繪示習知記憶體模組之封裝結構。習知記憶體模組(Memory Module)中的記憶體晶片封裝經常採用晶片上有導腳封裝(LOC)，以獲得較佳的可靠度及電性特性。就晶片封裝製程而言，首先提供一記憶體晶片110、一導線架(未繪示)，而記憶體晶片110具有一主動表面112，並且在主動表面112之表層還具有多個焊墊114，另外導線架具有多個導腳120，每一導腳120之一端為內

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(二)

導腳部份 122，而另一端為外導腳部份 124。接下來進行一貼合的製程，藉由多個貼帶 140 將記憶體晶片 110 以其主動表面 112 與導腳 120 貼合。再透過一打導線之製程，藉由多個導線 130 使記憶體晶片 110 之焊墊 114 與內導腳部份 122 電性連接。接下來進行一封膠的製程，使一封裝材料 150 包覆記憶體晶片 110、內導腳部份 122、導線 130，並暴露出外導腳部份 124。然後進行一單切成型之製程，而形成獨立之封裝體 100。接下來還提供一記憶體模組基板 160，而記憶體模組基板 160 具有多個接點 162。最後進行一焊合之製程，將多個封裝體 100 透過表面黏著技術 (Surface Mount Technology, SMT) 將外導腳部份 124 與記憶體模組基板 160 之接點 162 電性連接，而組成整個記憶體模組。

在上述之習知記憶體構裝中，記憶體晶片 110 的訊號必須先經由導線 130 傳輸至內導腳部份 122，而後傳輸至外導腳部份 124，最後再傳輸至記憶體模組基板 160 之接點 162。如此之結構使得電路傳輸路徑太長，導致電性性能不良，無法運用在現今之高速記憶體模組中。

因此本發明的目的之一就是提供一種晶片直接貼附記憶體模組及其製程，可以簡化製程，降低製造成本。

本發明的目的之二就是提供一種晶片直接貼附記憶體模組及其製程，可以減少記憶體模組封裝的體積。

本發明的目的之三就是提供一種晶片直接貼附記憶體模組及其製程，可以提高記憶體模組之電性性能。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

五、發明說明(3)

本發明的目的之四就是提供一種晶片直接貼附記憶體模組及其製程，可以大幅縮減記憶體製作之作業時間。

為達成本發明之上述和其他目的，提出一種晶片直接貼附記憶體模組，其包括：一基板、至少一晶片組、一封裝材料。其中晶片組貼附於基板上並直接與基板電性連接，其中晶片組由並排之多個晶片所構成，且晶片之間具有多條電路將晶片彼此電性連接。而封裝材料至少包覆晶片組與基板電性連接的部分。

依照本發明的一較佳實施例，其中基板包括：多層圖案化線路層、以及至少一絕緣層，而絕緣層配置於相鄰的圖案化線路層之間，以形成電性隔離，其中絕緣層中具有多個導電貫孔，使得圖案化線路層彼此電性連接。另外絕緣層之材質包括玻璃環氧基樹脂、雙順丁烯二酸醯亞胺、環氧樹脂及聚亞醯胺，此外圖案化線路層係由一銅箔，經過微影定義形成。另外，可藉由覆晶方式或打導線之方式將晶片組與基板電性連接。晶片組之排列方式包括：由八顆晶片並排組成；晶片組中所含的晶片數量為二、四或八，且晶片總數為八顆或十六顆。

為達成本發明之上述和其他目的，提出一種晶片直接貼附記憶體模組製程，其包括：首先提供一晶圓，此晶圓由多個晶片所組成。然後進行一第一測試步驟，對晶圓上之晶片進行測試。接下來進行一老化測試步驟。然後再進行一第二測試步驟，對晶圓上之晶片進行測試。接下來進行晶圓切割步驟，將晶片分離形成多個晶片組，每一晶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

片組具有二個以上且並排之晶片。然後還要提供一記憶體模組基板。並且依據此晶片直接貼附記憶體模組中所需之晶片數量，將部分晶片組貼附於記憶體模組基板表面，並與記憶體模組基板電性連接。最後以一封裝材料至少包覆晶片組與記憶體模組基板電性連接的部分。

依照本發明的一較佳實施例，其中在每一晶片組中，晶片間具有多條電路彼此電性連接。另外可藉由覆晶方式或打導線之方式將晶片組與基板電性連接。晶片組之排列方式包括：由八顆晶片並排組成；晶片組中所含的晶片數量為二、四或八，且晶片總數為八顆或十六顆。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖示之簡單說明：

第 1 圖繪示習知記憶體模組之封裝結構。

第 2 圖繪示記憶體晶圓的俯視圖。

第 3 圖繪示對應於第 2 圖中同一晶片組內晶片之剖面放大示意圖。

第 4 圖繪示依照本發明第一較佳實施例的一種晶片直接貼附記憶體模組之示意圖。

第 5 圖繪示對應於第 4 圖中 I - I 剖面線之剖面示意圖。

第 6 圖繪示依照本發明第二較佳實施例對應於第 2 圖中同一晶片組內晶片之剖面放大示意圖。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

五、發明說明(5)

第 7 圖繪示依照本發明第三較佳實施例的一種晶片直接貼附記憶體模組之俯視圖。

第 8 圖繪示對應於第 7 圖中 II-II 剖面線之剖面示意圖。

第 9 圖繪示依照本發明第四較佳實施例的一種晶片直接貼附記憶體模組之俯視圖。

圖示之標示說明：

210：晶圓

212：切割道

250、310、450：晶片組

220、320、420：晶片

222：基底

224：第一表面

226：半導體元件

230：積層

232：金屬積層

234：絕緣積層

240：保護層

280：重配置線路層

282：電路

284：連外焊墊

228：虛線

110：記憶體晶片

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(六)

- 112、322：主動表面
- 324：背面
- 114、242、326：焊墊
- 120：導線架
- 122：內導腳部份
- 124：外導腳部份
- 160、260、350、460：記憶體模組基板
- 352：晶片組座
- 262、354：連內接點
- 264、356：連外接點
- 162：接點
- 140：貼帶
- 266：凸塊
- 130、302：導線
- 150、270、304：封裝材料

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

實施例

請參照第 2 圖、第 3 圖、第 4 圖，其繪示依照本發明第一較佳實施例的一種晶片直接貼附記憶體模組之製程示意圖。

請先參照第 2 圖、第 3 圖，其中第 2 圖繪示記憶體晶圓的俯視圖；第 3 圖繪示對應於第 2 圖中同一晶片組內晶片之剖面放大示意圖。首先提供一晶圓 210，晶圓 210 係由多個晶片 220 所組成，切割道 212(Scribe-line)環繞於

五、發明說明(↑)

相鄰的晶片 220 之間。如第 3 圖所示，每一晶片 220 具有一基底 222，而基底 222 具有一第一表面 224，在第一表面 224 的表層還具有多個半導體元件 226。另外在基底 222 之第一表面 224 上具有一積層 230，積層 230 係由至少一金屬積層 232 以及一絕緣積層 234 交互疊合而形成多重金屬內連線(multilevel interconnection)，金屬積層 232 透過絕緣積層 234 中的多個內貫孔(未繪示)，形成彼此間的電性連接，或者與半導體元件 226 電性連接，並且在金屬積層 232 內還形成多條電路(未繪示)將多個晶片 220 彼此電性連接。此外在積層 230 上還具有一保護層 240，其中在保護層 240 內還具有多個焊墊 242，焊墊 242 係作為多重金屬內連線對外的接點。其中在第 3 圖中虛線 228 所包圍的區域對應為第 2 圖中切割道 212 的部份。

接下來進行至少一道第一測試步驟，對晶圓 210 上之晶片 220 進行基本的電路測試，測試其是否正常。然後再進行一老化(Burn-in)測試，將晶圓 210 加以高電壓、高電流、高溫的狀態下操作，測試晶片 220 的運作是否穩定。隨後再進行至少一道第二測試步驟，將經過老化測試後的晶片 220 再進行基本的電路測試，測試其運作狀態，以確保晶片之品質。

接下來進行一晶圓切割的步驟，將晶片 220 分離形成多個晶片組 250，其中晶片組 250 包含的晶片數量為八個。

請參照第 4 圖、第 5 圖，其中第 4 圖繪示依照本發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

明第一較佳實施例的一種晶片直接貼附記憶體模組之示意圖；第5圖繪示對應於第4圖中I-I剖面線之剖面示意圖。當完成上述晶片組250製程後，然後還要提供一記憶體模組基板260，記憶體模組基板260係由多個圖案化線路層266、至少一絕緣層268交互疊合而成，並且絕緣層268配置於相鄰的圖案化線路層之間，以形成電性隔離，其中絕緣層268中具有多個導電貫孔269，使得圖案化線路層266彼此電性連接。其中絕緣層268的材質包括玻璃環氧基樹脂(FR-4、FR-5)、雙順丁烯二酸醯亞胺-三氮雜苯(Bismaleimide-Triazine, BT)、環氧樹脂(epoxy)及聚亞醯胺(polyimide)。此外，圖案化線路層266係由一銅箔，經過微影定義形成。此外，記憶體模組基板260表面還會塗佈一焊罩層(solder mask)，為熟習該技術者應知的結構，在此不再贅述。

記憶體模組基板260具有多個連內接點262以及多個連外接點264，其中透過連外接點264可與外界電路(未繪示)電性連接，並且連內接點262與晶片220之焊墊242相對應，並且記憶體模組基板260承載的晶片220總數可以為八個或十六個，在本實施例中僅以八個為例。

接下來透過覆晶(Flip Chip)方式，藉由多個凸塊266，將每一晶片220之焊墊242與對應之連內接點262電性連接。然後再進行一封膠的製程，一封裝材料270填充於晶片組250與記憶體模組基板260之間，而包覆凸塊266。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

請參照第 2 圖、第 3 圖、第 4 圖、第 5 圖，在上述的製程中，由於切割晶圓的形式係以晶片組 250 為切割的單元，再將晶片組 250 電性連接於記憶體模組基板 260 上，因此在同一晶片組 250 中的晶片 220 係同時焊合於記憶體模組基板 260 上，如此可以大幅縮減記憶體作業時間。並且晶片 220 不需透過任何承載器作為與記憶體模組基板 260 間電性連接的媒介，而是直接將晶片 220 與記憶體模組基板 260 電性連接，因此透過上述的步驟，可省略晶片個別封裝的步驟以簡化製程，降低製造成本。另外由於多個晶片 220 配置於同一晶片組 250 內，而共同封膠在一起，如此可以減少封裝體積，亦可以縮減記憶體模組基板 260 的面積。此外在本發明中，晶片組 250 直接與記憶體模組基板 260 電性連接，可以縮減晶片組 250 與記憶體模組基板 260 間電性連接之距離，因而可減少訊號衰減與延遲的發生，並大幅提高記憶體的性能。另外在同一晶片組 250 內的晶片 220 並不會切割分離，因此可以在晶片 220 之金屬積層 232 內製作多個電路(未繪示)，使多個晶片 220 彼此電性連接，如此可以減少每一晶片 220 連外電路的佈局，而降低焊墊 242 以及凸塊 266 的數目。另外藉此結構，晶片 220 間部分的連接電路可以在晶片組 250 中的多重金屬內連線達成，而簡化記憶體模組基板 260 的電路佈局，進而便於縮減記憶體模組基板 260 面積。

請參照第 6 圖，其繪示依照本發明第二較佳實施例對應於第 2 圖中同一晶片組內晶片之剖面放大示意圖。前

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(一)

述之第一實施例中，乃是藉由晶片內金屬積層的多個電路，使多個晶片彼此電性連接，然而晶片間電性連接的方式並非侷限於上述的方法，亦可以在晶片 220 之保護層 240 上再鋪上一重配置線路層 280(redistribution)，而重配置線路層 280 內包括多個電路 282、多個連外焊墊 284，其中電路 282 與連外焊墊 284 電性連通，並且透過電路 282 的電性傳導，可以使同一晶片組內晶片 220 之焊墊 242 相互間電性連接，如此亦可以減少每一晶片 220 連外電路的佈局，而降低連外焊墊 284 的數目。並且透過連外焊墊 284 可以與記憶體模組基板(未繪示)之接點(未繪示)電性連通。

由於在上述之第一較佳實施例與第二較佳實施例中，並非所有晶片間電性相連的電路配置均在記憶體模組基板內做晶片間之電路連結；而是在金屬積層內或重配置線路層內，進行晶片間之電路連結。因此，可以簡化記憶體模組基板內銅箔線路之佈局，故記憶體模組基板之面積因而大幅縮減。

請參照第 7 圖、第 8 圖，其中第 7 圖繪示依照本發明第三較佳實施例的一種晶片直接貼附記憶體模組之俯視圖，第 8 圖繪示對應於第 7 圖中 II-II 剖面線之剖面示意圖。在前述之第一較佳實施例中，係藉由覆晶方式將晶片組與記憶體模組基板電性連接，然而本發明並非侷限於上述的方式，亦可以採用打導線(Wire Bonding)的方式將晶片組與記憶體模組基板電性連接，其製程如下所述。提供

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(1)

一記憶體模組基板 350 具有至少一晶片組座 352、多個連內接點 354、多個連外接點 356，而連內接點 354 環繞於晶片組座 352 的周圍，並且透過連外接點 356 可以與外界電路(未繪示)電性連通。還要提供至少一晶片組 310，晶片組 310 係由多個晶片 320 並排於一體，本實施例中係以八個為例，每一晶片 320 具有一主動表面 322 以及對應之一背面 324，而在主動表面 322 的表層還具有多個焊墊 326。接下來將晶片組 310 貼附於晶片組座 352 上，使晶片組 310 內每一晶片 320 之背面 324 貼附於晶片組座 352 上，再採用打導線的方式，藉由多條導線 302 使每一晶片 320 之焊墊 326 與對應之連內接點 354 電性連通。接下來進行一封膠之製程，一封裝材料 304 包覆晶片組 310、導線 302、連內接點 354、焊墊 326。

請參照第 9 圖，其中第 9 圖繪示依照本發明第四較佳實施例的一種晶片直接貼附記憶體模組之俯視圖。在前述之第一較佳實施例中，晶片組所包含的晶片數量為八個，然而本發明並非侷限於上述之應用，其每一晶片組所包含的晶片數量亦可以為兩個或四個，而本實施例中以兩個為例。在記憶體模組基板 460 上具有四個晶片組 450，而每一晶片組 450 具有二晶片 420a、420b，其中每一晶片組 450 可以藉由晶片 420a、420b 內金屬積層的多個電路，使每一晶片組 450 內的晶片 420a、420b 彼此間電性連接；或是透過重配置線路層，使每一晶片組 450 內的晶片 420a、420b 彼此電性連接。並且可以透過覆晶或打線的方

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(12)

式，使晶片與記憶體模組基板 460 電性連接，在本實施例中係以覆晶的方式為例。當晶片組由較少晶片組成時，可以簡化晶片間電性連接的線路佈局，並可以提高晶片組的良率，增加製程裕度(process window)。

綜上所述，本發明至少具有下列優點：

1. 本發明之晶片直接貼附記憶體模組及其製程，由於切割晶圓的形式係以晶片組為切割的單元，再將晶片組電性連接於記憶體模組基板上，因此在同一晶片組中的晶片係同時焊合於記憶體模組基板上，如此不但可以大幅縮減記憶體製作之作業時間，亦可免除晶片個別封裝的步驟以簡化製程，降低製造成本。

2. 本發明之晶片直接貼附記憶體模組及其製程，由於多個晶片配置於同一晶片組內，而共同封膠在一起，如此可以減少封裝體積，亦可以減少記憶體模組基板的面積。

3. 本發明之晶片直接貼附記憶體模組及其製程，由於晶片組直接與記憶體模組基板電性連接，可以縮減晶片組與記憶體模組基板間電性連接之距離，因而可改善訊號延遲及衰減的現象，並大幅提高記憶體模組的電性性能。

4. 本發明之晶片直接貼附記憶體模組及其製程，由於在同一晶片組內的晶片並不會切割分離，因此可以在晶片之金屬積層內製作多個電路，或是在晶片上製作重配置線路層，使多個晶片彼此電性連接，如此可以減少每一晶片連外電路的佈局，同時亦可以簡化記憶體模組基板內銅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（13）

箔線路之佈局，故記憶體模組基板之面積因而大幅縮減。

雖然本發明已以多個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

六、申請專利範圍

- 1.一種晶片直接貼附記憶體模組，包括：
一基板；
至少一晶片組，貼附於該基板上並直接與該基板電性連接，其中該晶片組由並排之複數個晶片所構成，且該些晶片之間具有複數條電路將該些晶片彼此電性連接；以及
一封裝材料，至少包覆該晶片組與該基板電性連接的部分。
- 2.如申請專利範圍第 1 項所述之晶片直接貼附記憶體模組，其中該基板，包括：
複數層圖案化線路層；以及
至少一絕緣層，配置於相鄰的該些圖案化線路層之間，以形成電性隔離，其中該絕緣層中具有複數個導電貫孔，使得該些圖案化線路層彼此電性連接。
- 3.如申請專利範圍第 2 項所述之晶片直接貼附記憶體模組，其中該絕緣層之材質係選自於由玻璃環氧基樹脂、雙順丁烯二酸醯亞胺-三氮雜苯、環氧樹脂及聚亞醯胺所組成之族群中的一種材質。
- 4.如申請專利範圍第 2 項所述之晶片直接貼附記憶體模組，其中該圖案化線路層係由一銅箔，經過微影定義形成。
- 5.如申請專利範圍第 1 項所述之晶片直接貼附記憶體模組，其中該晶片組係以覆晶方式與該基板電性連接，且該封裝材料係填充於該晶片組與該基板之間。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

6.如申請專利範圍第 1 項所述之晶片直接貼附記憶體模組，其中該晶片組係以複數條導線與該基板電性連接，且該封裝材料包覆該晶片組與該些導線。

7.如申請專利範圍第 1 項所述之晶片直接貼附記憶體模組，其中該晶片組係由八顆晶片並排組成。

8.如申請專利範圍第 1 項所述之晶片直接貼附記憶體模組，其中該晶片組中所含的晶片數量為偶數，且該晶片直接貼附記憶體模組中所含晶片總數為八顆。

9.如申請專利範圍第 1 項所述之晶片直接貼附記憶體模組，其中該晶片組中所含的晶片數量為偶數，且該晶片直接貼附記憶體模組中所含晶片總數為十六顆。

10.如申請專利範圍第 8 或 9 項所述之晶片直接貼附記憶體模組，其中該晶片組中所含的晶片數量為二、四及八三者擇一。

11 一種晶片直接貼附記憶體模組，包括：

一基板；

至少一晶片組，貼附於該基板上並直接與該基板電性連接，其中該晶片組由並排之複數個晶片所構成；以及一封裝材料，至少包覆該晶片組與該基板電性連接的部分。

12.如申請專利範圍第 11 項所述之晶片直接貼附記憶體模組，其中該晶片組係以覆晶方式與該基板電性連接，且該封裝材料係填充於該晶片組與該基板之間。

13.如申請專利範圍第 11 項所述之晶片直接貼附記

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

憶體模組，其中該晶片組係以複數條導線與該基板電性連接，且該封裝材料包覆該晶片組與該些導線。

14.如申請專利範圍第 11 項所述之晶片直接貼附記憶體模組，其中該晶片組係由八顆晶片並排組成。

15.如申請專利範圍第 11 項所述之晶片直接貼附記憶體模組，其中該晶片組中所含的晶片數量為偶數，且該晶片直接貼附記憶體模組中所含晶片總數為八顆。

16.如申請專利範圍第 11 項所述之晶片直接貼附記憶體模組，其中該晶片組中所含的晶片數量為偶數，且該晶片直接貼附記憶體模組中所含晶片總數為十六顆。

17.如申請專利範圍第 15 或 16 項所述之晶片直接貼附記憶體模組，其中該晶片組中所含的晶片數量為二、四及八三者擇一。

18.一種晶片直接貼附記憶體模組製程，包括：
提供一晶圓，該晶圓由複數個晶片所組成；
進行一第一測試步驟，對該晶圓上之該些晶片進行測試；

進行一老化測試步驟；
進行一第二測試步驟，對該晶圓上之該些晶片進行測試；

進行晶圓切割步驟，將該些晶片分離形成複數個晶片組，每一該些晶片組具有二個以上且並排之該些晶片；

提供一記憶體模組基板；

依據該晶片直接貼附記憶體模組所需之晶片數量，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

將部分該些晶片組貼附於該記憶體模組基板表面，並與該記憶體模組基板電性連接；以及

以一封裝材料至少包覆該些晶片組與該記憶體模組基板電性連接的部分。

19.如申請專利範圍第 18 項所述之晶片直接貼附記憶體模組製程，其中每一該些晶片組中，該些晶片間具有複數條電路彼此電性連接。

20.如申請專利範圍第 18 項所述之晶片直接貼附記憶體模組製程，其中該晶片組係以覆晶方式與該記憶體模組基板電性連接，且該封裝材料係填充於該晶片組與該記憶體模組基板之間。

21.如申請專利範圍第 18 項所述之晶片直接貼附記憶體模組製程，其中該晶片組係以複數條導線與該記憶體模組基板電性連接，且該封裝材料包覆該晶片組與該些導線。

22.如申請專利範圍第 18 項所述之晶片直接貼附記憶體模組製程，其中該晶片組係由八顆晶片並排組成。

23.如申請專利範圍第 18 項所述之晶片直接貼附記憶體模組製程，其中該晶片組中所含的晶片數量為偶數，且該晶片直接貼附記憶體模組中所含晶片總數為八顆。

24.如申請專利範圍第 18 項所述之晶片直接貼附記憶體模組製程，其中該晶片組中所含的晶片數量為偶數，且該晶片直接貼附記憶體模組中所含晶片總數為十六顆。

25.如申請專利範圍第 23 或 24 項所述之晶片直接貼

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

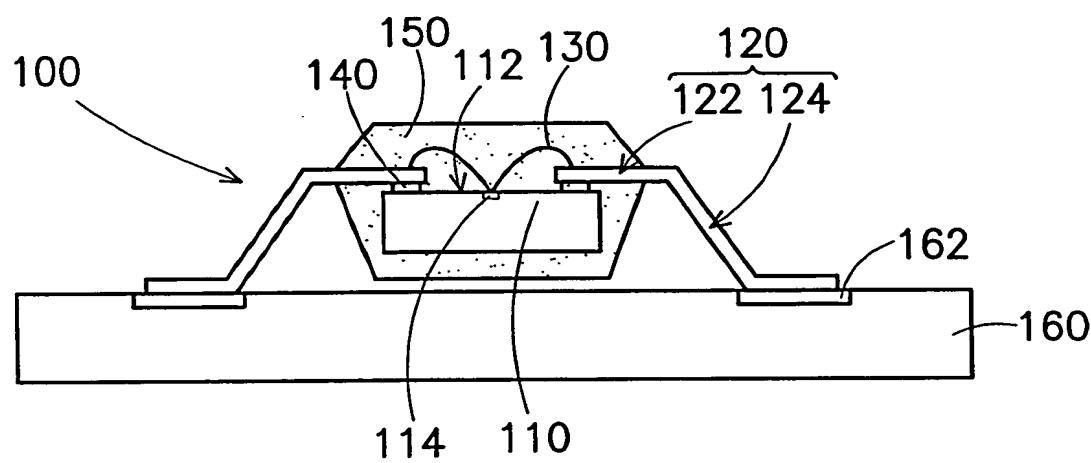
線

六、申請專利範圍

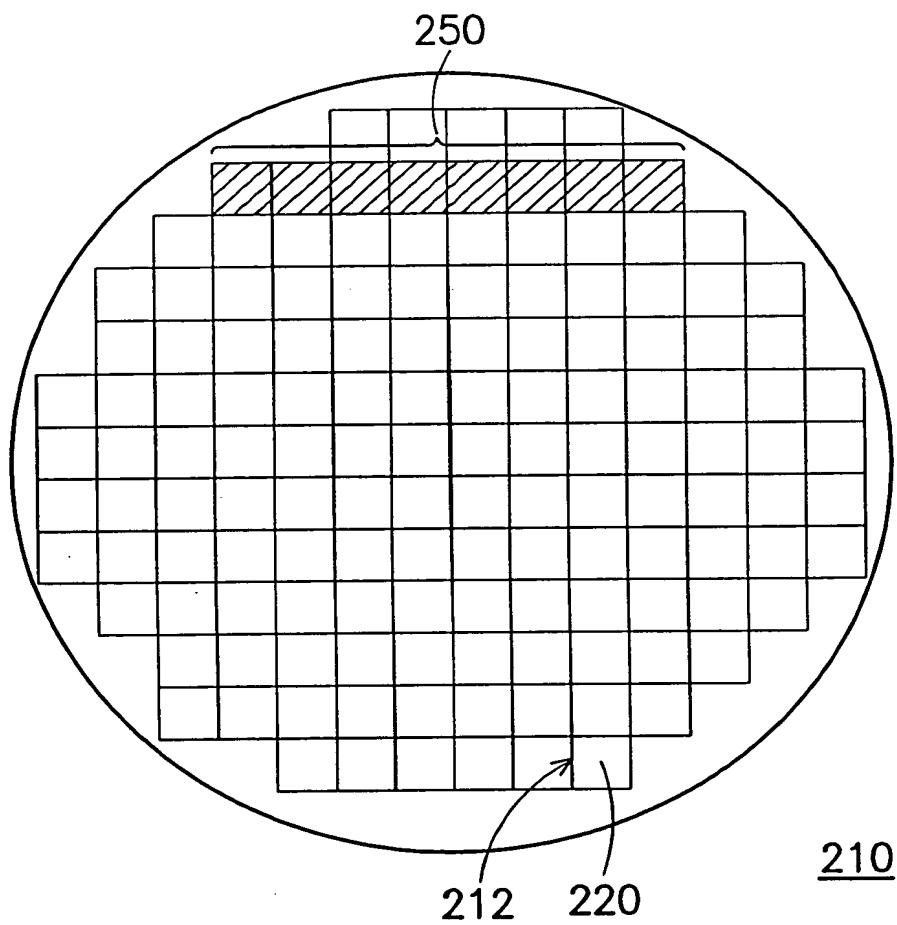
附記憶體模組製程，其中該晶片組中所含的晶片數量為二、四及八三者擇一。

(請先閱讀背面之注意事項再填寫本頁)

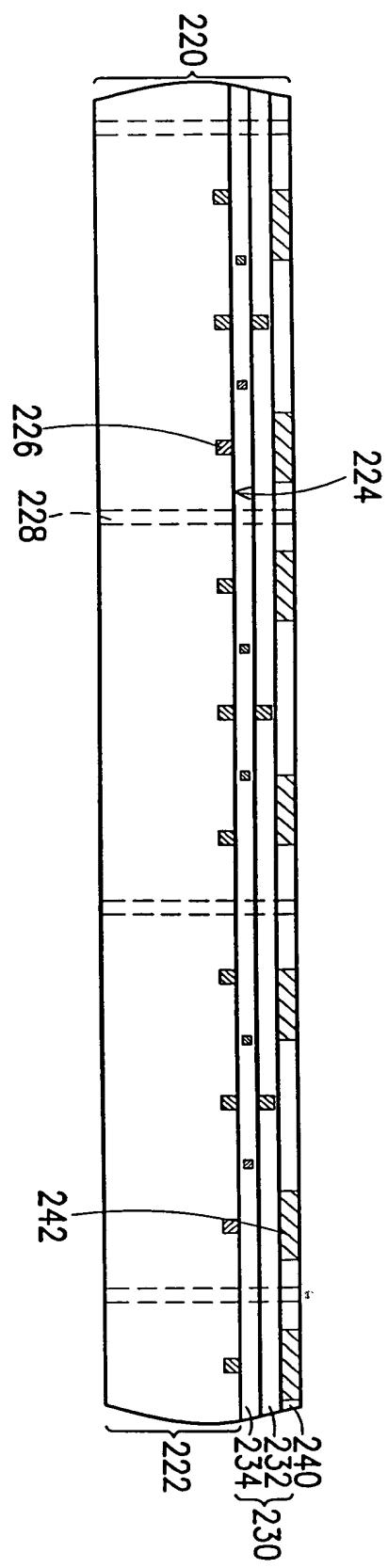
裝-----訂-----線



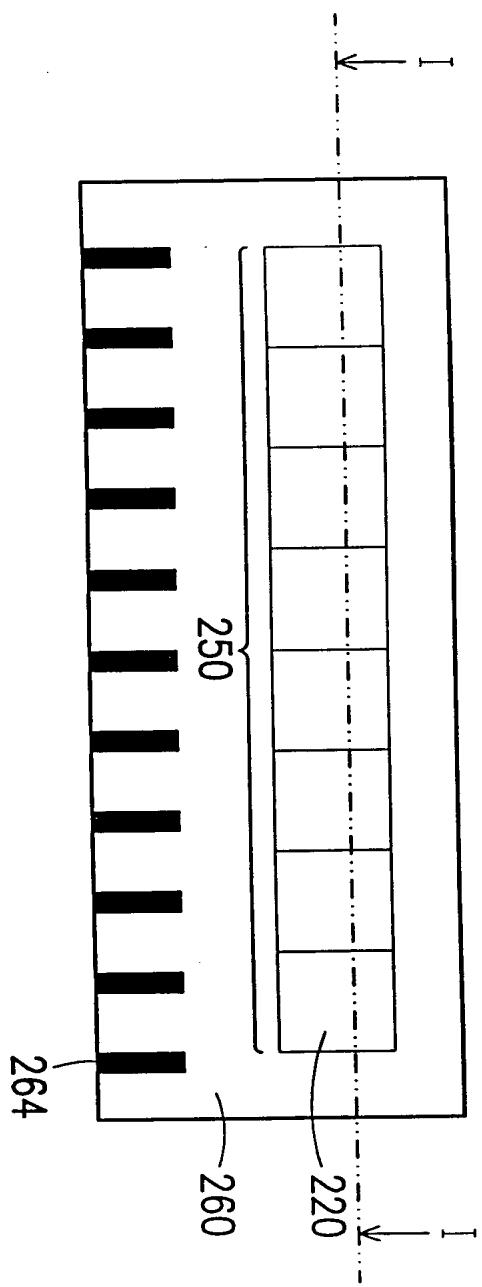
第 1 圖



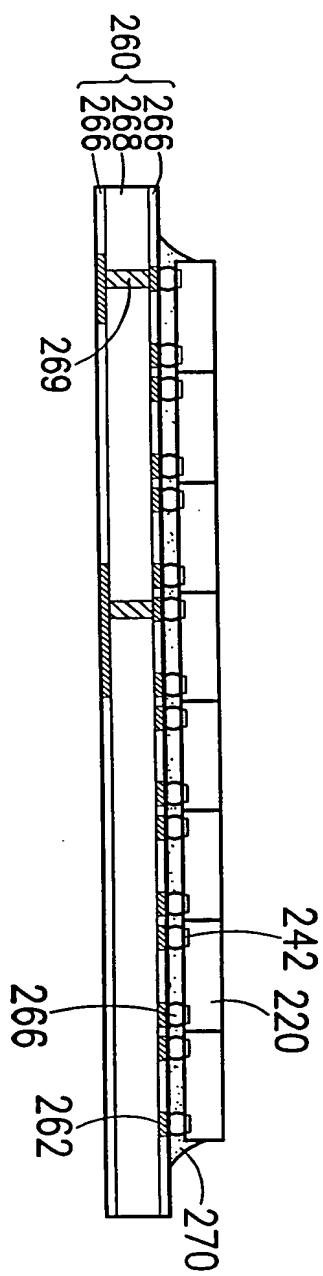
第 2 圖



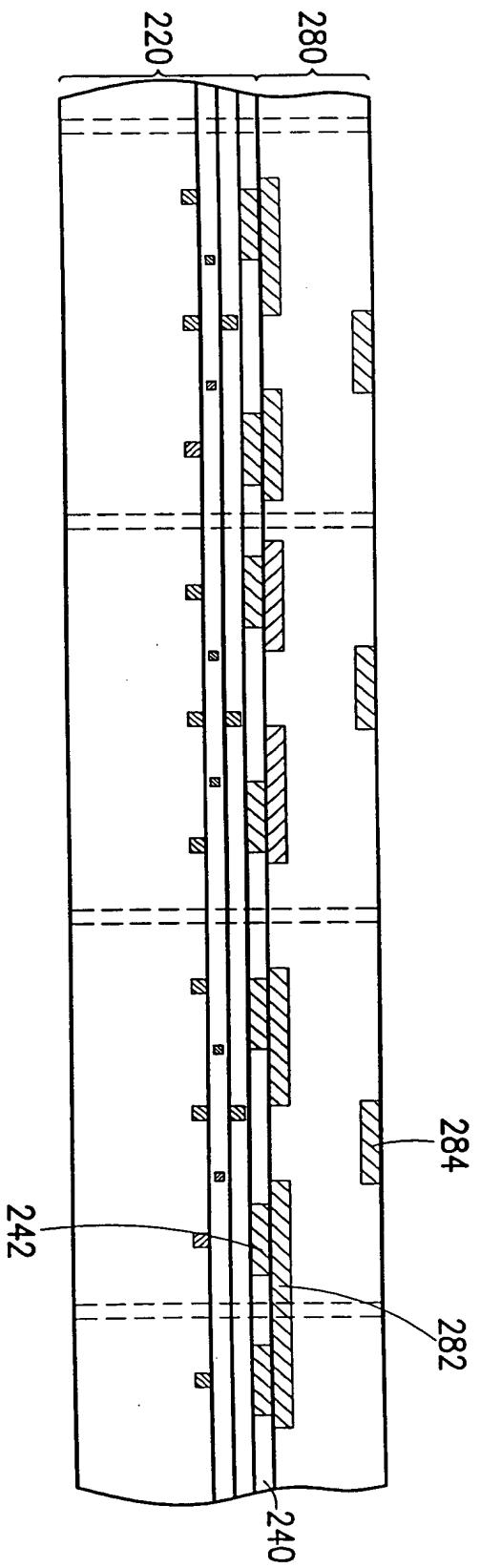
第3圖



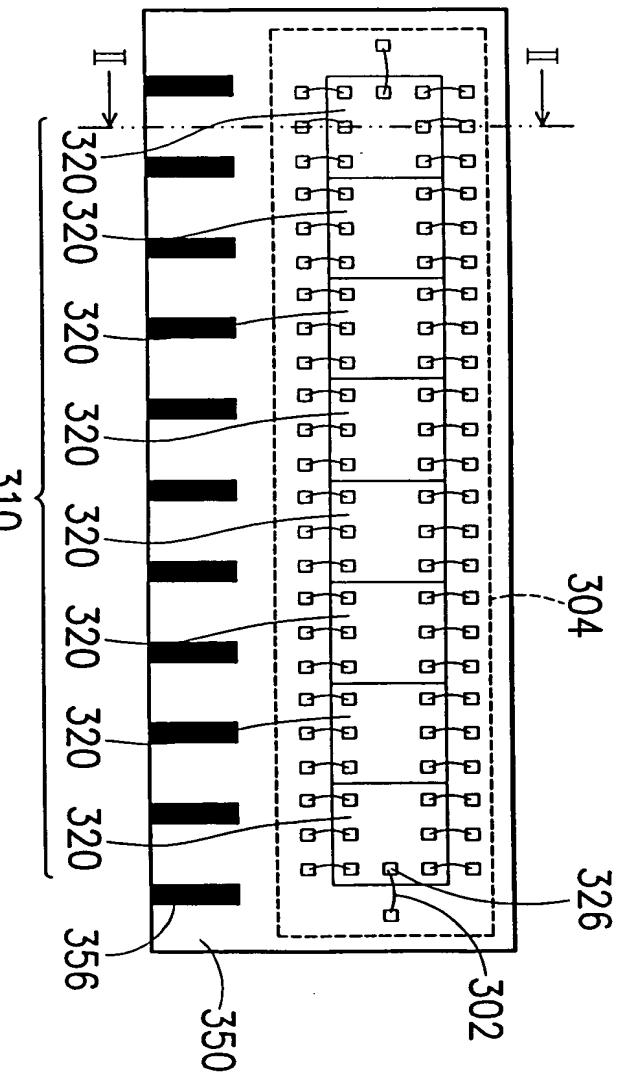
第4圖



第 5 圖

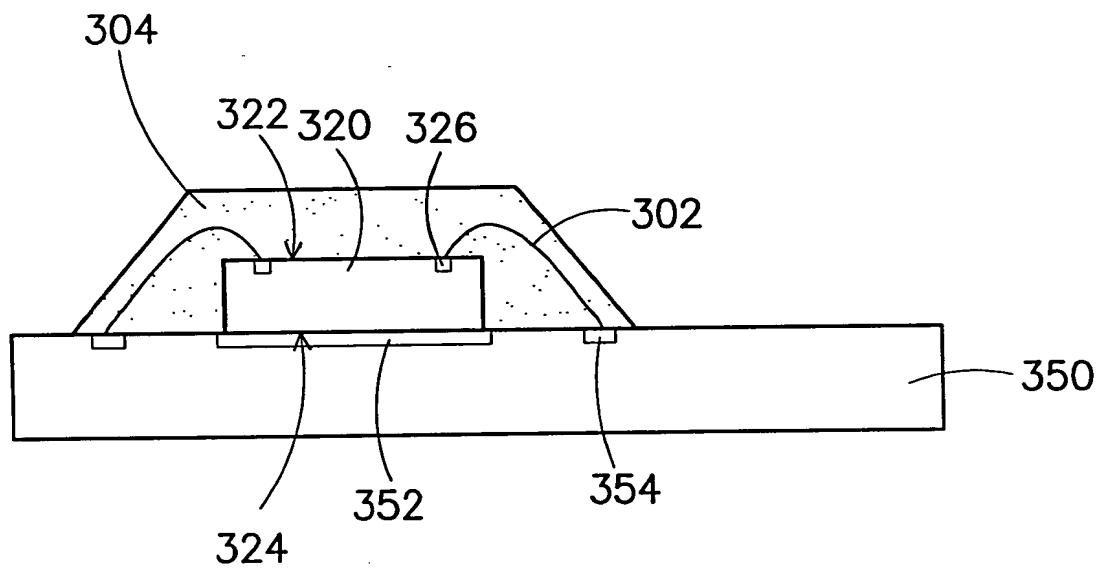


第 6 圖

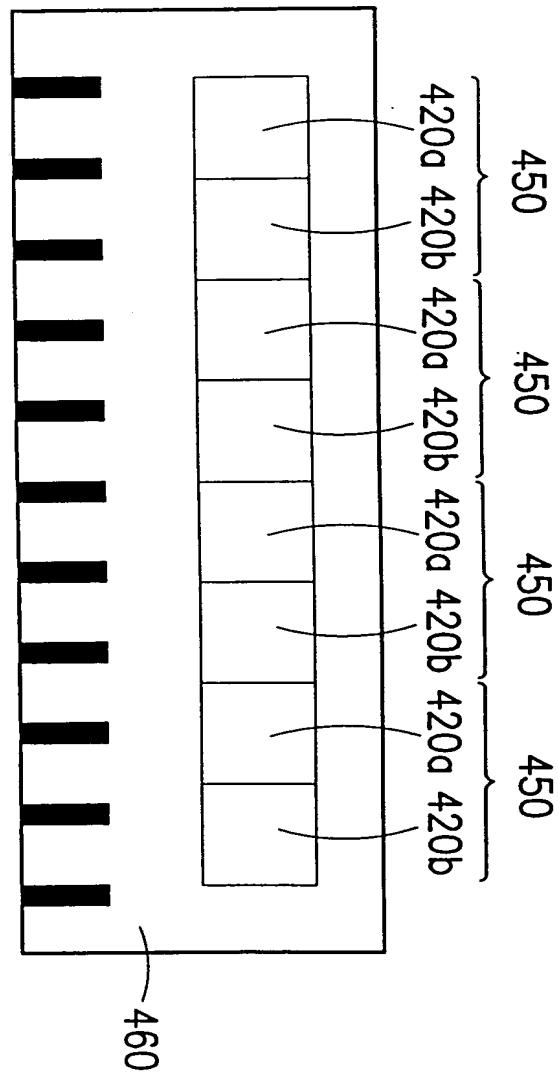


第 7 圖

6875TW



第 8 圖



第 9 圖